

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁸ H01L 21/324	(11) 공개번호 특 1998-026863 (43) 공개일자 1998년 07월 15일
(21) 출원번호 특 1996-045429	
(22) 출원일자 1996년 10월 11일	
(71) 출원인 삼성전자 주식회사 김광호 경기도 수원시 팔달구 매탄동 416번지	
(72) 발명자 남갑진 강원도 정선군 고한읍 10리 1반	

설명구 : 없음(54) 탄탈륨산화박막의 열처리 방법**요약**

신규한 탄탈륨산화박막의 열처리 방법이 개시되어 있다. 하부전극, 탄탈륨산화막 유전체막 및 상부전극이 적층된 구조의 커패시터를 갖는 반도체장치의 제조방법에 있어서, 하부전극 상에 탄탈륨산화막을 증착한 후, 산소가 없는 분위기에서 열처리를 실시하고, 연속하여 산소분위기에서 열처리를 실시한다. 커패시터 유전상수의 감소 없이 누설전류를 감소시킬 수 있다.

목표도**도 2a****명세서****도면의 주요한 설명**

도 1a 및 도 1b는 종래방법에 의한 탄탈륨산화박막의 열처리 방법을 설명하기 위한 단면도들.

도 2a 내지 도 2c는 본 발명에 의한 탄탈륨산화박막의 열처리 방법을 설명하기 위한 단면도들.

도면의 주요부분에 대한 부호의 설명

10 ... 하부전극 12 ... 탄탈륨산화막

14 ... 실리콘산화막

발명의 상세한 설명**발명의 목적****발명이 속하는 기술 및 그 분야의 기술**

본 발명은 반도체장치의 제조방법에 관한 것으로, 특히 커패시터의 유전율의 감소없이 누설전류를 감소시킬 수 있는 탄탈륨산화(Ta₂O₅)박막의 열처리 방법에 관한 것이다.

최근 반도체 제조기술의 발달과 메모리소자의 용용분야가 확장되어 갈수록 대용량의 메모리소자 개발이 진척되고 있는데, 특히 1개의 메모리셀을 1개의 커패시터와 1개의 트랜지스터로 구성하는 DRAM(Dynamic Random Access Memory)은 정보의 둑출과 저장을 위해 큰 정전용량을 가져야 할에도 불구하고 차세대의 메모리셀이 그 전 크기의 1/3로 줄기 때문에, 점적도가 4배 증가될 때 유효 침 면적은 40%의 증가에 그친다. 그러므로, 기존의 커패시터 구조로서는 한정된 면적내에서 충분히 큰 셀 커패시턴스를 확보할 수 없다. 따라서, 작은 면적내에서 보다 큰 커패시턴스를 얻기 위한 방법의 연구가 요구되었는데, 이 방법은 보통 다음의 3가지로 나뉘어질 수 있다. 즉, 첫째는 유전체막의 두께감소, 둘째는 커패시터의 유효면적 증가, 셋째는 유전상수가 큰 물질의 사용이 그것이다.

이중에서 세번째의 경우가, 메모리소자의 점적도가 증가함에 따라 큰 유전용량을 확보하기 위하여 고유전율질이나 강유전율질을 커패시터의 유전체막으로 사용하는 것이다. 이러한 고유전율질로, 탄탈륨산화막(Ta₂O₅), 산화이트륨(Y₂O₃), 이산화하프늄(HfO₂) 등의 다양한 산화물이 보고되어 왔으나, 유전상수와 재료자체의 열역학적 안정성 등에서 탄탈륨산화막이 현재 가장 유망한 재료로 보고되고 있다.

탄탈륨산화막은 기존에 유전체 재료로 사용중인 실리콘산화막이나 실리콘질화막과 비교하여 높은 유전상을 갖고 있으므로 그만큼 두께에 따른 이득을 볼 수 있으나, 누설전류가 크다는 단점을 갖는다. 탄탈륨산화막의 누설전류를 개선시키기 위한 방법 중의 하나가, 탄탈륨산화막을 증착한 후 후속공정으로 열

처리를 실시하는 방법이다. 통상적으로, 탄탈륨산화막은 를질 내부에 산소결핍이 생긴다고 알려져 있으므로 산소(0_x)분위기에서 열처리를 실시한다.

도 1a 및 도 1b는 증래방법에 의한 탄탈륨산화박막의 열처리 방법을 설명하기 위한 단면도들이다.

도 1a를 참조하면, 하부전극, 예컨대 폴리실리콘 하부전극(10) 상에 탄탈륨산화막(12)을 증착한 후, 산소분위기에서 열처리를 실시한다. 그 결과, 도 1b에 도시된 바와 같이, 탄탈륨산화막(12)과 폴리실리콘 하부전극(10)의 사이에 실리콘산화막(14)이 형성되어 전체 캐퍼시터의 유전률을 감소시키게 된다. 그러나, 이와 같은 산소분위기의 휴식 열처리 공정이 없으면 탄탈륨산화막의 누설전류가 증가하게 되므로, 산소분위기의 열처리는 탄탈륨산화막의 증착공정에서 반드시 필요한 공정이다.

또한, 탄탈륨산화막은 벌크(bulk)의 경우 600~700°C에서 결정화되지만, 박막화가 진행되어 300~400A 이하의 두께가 되면 결정화 온도가 증가하는 것으로 알려져 있다.

발명이 이루고자 하는 기술적 과정

따라서, 본 발명의 목적은 탄탈륨산화막을 증착한 후 산소분위기의 열처리 공정과 탄탈륨산화막 박막의 결정화를 위한 열처리 공정을 분리하여 진행함으로써, 캐퍼시터의 유전률의 감소없이 누설전류를 감소시킬 수 있는 반도체장치의 제조방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은, 하부전극, 탄탈륨산화막 유전체막 및 상부전극이 적층된 구조의 캐퍼시터를 갖는 반도체장치의 제조방법에 있어서, 하부전극 상에 탄탈륨산화막을 증착하는 단계; 산소가 없는 분위기에서 열처리를 실시하는 단계; 및 산소분위기에서 열처리를 실시하는 단계를 구비하는 것을 특징으로 하는 반도체장치의 제조방법을 제공한다.

이하, 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세히 설명하고자 한다.

도 2a 내지 도 2c는 본 발명에 의한 탄탈륨산화박막의 열처리 방법을 설명하기 위한 단면도들이다.

도 2a를 참조하면, 반도체기판(도시되지 않음)의 도전성부위에 접속되는 하부전극(10), 예컨대 폴리실리콘 하부전극 상에 캐퍼시터의 유전체막으로 탄탈륨산화막(12)을 증착한다.

도 2b를 참조하면, 상기 탄탈륨산화막(12)을 결정화시키기 위하여 산소가 없는 분위기, 예컨대 질소(N₂)나 아르곤(Ar) 기체를 사용하는 분위기에서 500~1000°C의 온도로 열처리를 실시한다. 여기서, 상기 열처리는 로(furnace)나 고속열처리(rapid thermal process; RTP) 방법을 이용하여 실시한다. 그 결과, 상기 탄탈륨산화막(12)이 결정화되면서 그레인(grain)들이 형성된다 (즉, 다결정 상태가 된다). 이와 같이 탄탈륨산화막(12)이 결정화가 되어 다결정 상태가 되면, 캐퍼시터 유전체막 재료의 측면에서 유전상수의 좋아지게 되고 누설전류는 증가하게 될 것이다. 즉, 단결정으로 이루어진 그레인들의 정렬은 유전상수의 측면에서는 유리하지만, 그레인 경계를 통하여 누설전류가 흐를 것이므로 누설전류의 증가가 예상된다.

도 2c를 참조하면, 탄탈륨산화박막(12)의 그레인(grain)들이 형성된 결과를 전면에 산소(0_x) 분위기의 열처리를 실시한다. 이때, 산소분위기의 열처리는 500~900°C의 온도에서 건식산화법 또는 습식산화법으로 실시하는 것이 바람직하다. 그 결과, 상기 탄탈륨산화박막(12)의 그레인 경계를 통해 산소가 침투하여 실리콘산화막(14)이 형성됨으로써, 누설전류의 경로가 줄어든다. 또한, 비정질 탄탈륨산화막 상태일 때보다 다결정 탄탈륨산화막의 하부에 도달하는 산소성분의 양이 줄어듦으로써, 탄탈륨산화막(12)과 폴리실리콘 하부전극(10)의 계면에 존재하는 실리콘산화막(14)에 의한 유효두께의 증가가 증래방법에 비해 적어진다.

발명의 효과

상술한 바와 같이 본 발명에 의하면, 탄탈륨산화막을 증착한 후 탄탈륨산화막 박막의 결정화를 위한 열처리와 산소분위기의 열처리를 분리하여 진행한다. 즉, 탄탈륨산화박막을 결정화시켜서 유전상수의 감소를 방지한 후, 산소분위기의 열처리로써 누설전류를 감소시킨다.

본 발명이 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상내에서 당분야에서 통상의 지식을 가진 자에 의하여 가능할은 명백하다.

(57) 청구의 범위

청구항 1. 하부전극, 탄탈륨산화막 유전체막 및 상부전극이 적층된 구조의 캐퍼시터를 갖는 반도체장치의 제조방법에 있어서,

하부전극 상에 탄탈륨산화막을 증착하는 단계;

산소가 없는 분위기에서 열처리를 실시하는 단계; 및

산소분위기에서 열처리를 실시하는 단계를 구비하는 것을 특징으로 하는 반도체장치의 제조방법.

도면

FIG 1a



FIG 1b

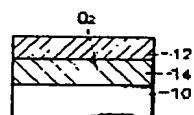


FIG 2a

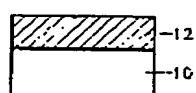


FIG 2b

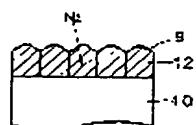


FIG 2c

